

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020040036477 A
(43) Date of publication of application: 30.04.2004

(21) Application number: 1020020065682
(22) Date of filing: 26.10.2002

(71) Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72) Inventor: SEO, YEONG HO SON, GYO MIN

(51) Int. Cl G11C 7/00

(54) INTEGRATED CIRCUIT CAPABLE OF PERFORMING DATA READ OPERATION AND WRITE OPERATION AT THE SAME TIME AND ITS METHOD

(57) Abstract:

PURPOSE: An integrated circuit capable of performing a data read operation and a data write operation at the same time and its method are provided to increase an operating frequency of a clock signal.

CONSTITUTION: According to the integrated circuit (200) where an input port and an output port are separated and a write address(WADD) and a read address(RADD) are inputted during one period of a clock signal, memory blocks(MB1,MB2,MB3,MB4) comprise a plurality of sub memory blocks respectively. Cache memory blocks(CMB1,CMB2,CMB3,CMB4) correspond to the memory blocks. And a tag memory control part(210) reads data stored in the memory blocks or the cache memory blocks or writes data to the memory blocks or the cache memory blocks in response to the write address or the read address.

© KIPO 2004

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

한국공개특허 제2004-36477호(2004.04.30) 1부.

[첨부그림 1]

10-2004-0036477

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

| | |
|---|--|
| (51) Int. Cl. G11C 7/00 | (11) 공개번호 10-2004-0036477 (43) 공개일자 2004년04월30일 |
| (21) 출원번호 10-2002-0065682 | |
| (22) 출원일자 2002년10월26일 | |
| (71) 출원인 삼성전자주식회사 경기도 수원시 영통구 매탄동 416 | |
| (72) 발명자 손교민 경기도성남시분당구서현동(시법단지)우성아파트218-1206 서영호 | |
| (74) 대리인 이영필 | |

소상공구 : 있음

(54) 데이터 드롭 동작과 기입 동작을 동시에 수행할 수 있는 접적 회로 및 방법.

요약

데이터 드롭 동작과 기입 동작을 동시에 수행할 수 있는 접적 회로 및 방법이 개시된다. 본 발명에 따른 접적 회로는 입출력 포트가 분리되어 있고 클릭 신호의 한 증기동안 기입 어드레스와 톡출 어드레스가 입력되는 접적 회로에 있어서 복수개의 서보 메모리 블록들을 각각 구비하는 메모리 블록들, 상기 메모리 블록들에 대응되는 캐쉬 메모리 블록을 및 태그 메모리 제어부를 구비한다. 태그 메모리 제어부는 상기 기입 어드레스 또는 상기 드롭 어드레스에 응답하여 상기 메모리 블록들 및 상기 캐쉬 메모리 블록들에 저장된 데이터를 톡출하거나 상기 메모리 블록들 및 상기 캐쉬 메모리 블록들로 상기 데이터를 기입한다. 특히, 태그 메모리 제어부는 상기 기입 어드레스 및 상기 드롭 어드레스가 동일한 경우, 상기 데이터의 톡출 동작과 기입 동작이 상기 메모리 블록들 및 상기 캐쉬 메모리 블록들에 각각 나누어져 동시에 수행되도록 제어한다.

본 발명에 따른 접적 회로의 드롭 동작과 기입 동작을 동시에 수행하는 방법은 캐쉬 메모리 블록을 구비하여 클릭 신호의 한 주기 내에서 드롭 동작 및 기입 동작이 메모리 블록과 캐쉬 메모리 블록에서 나누어져 동시에 수행되도록 함으로써 클릭 신호의 동작 주파수를 증가시킬 수 있는 장점이 있다.

도면도

도2

도3

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 분리된 입출력 포트를 가지는 메모리 장치의 동작을 설명하는 타이밍도이다.

도 2는 제 1 실시예에 따른 접적 회로를 나타내는 블록도이다.

도 3은 제 2 실시예에 따른 접적 회로를 나타내는 블록도이다.

도 4는 다른 실시예에 따른 데이터의 드롭 동작과 기입 동작을 동시에 수행하는 방법을 나타내는 플로우 차트이다.

도 5는 도 4의 440단계를 설명하는 플로우 차트이다.

도 6은 도 4의 445단계를 설명하는 플로우 차트이다.

도 7은 도 4의 455단계를 설명하는 플로우 차트이다.

도 8은 본 발명의 접적 회로의 동작을 설명하는 타이밍도이다.

도면의 상세한 설명

도면의 번역

클럭이 속하는 기술로에 및 그 동작의 종류기술

본 발명은 접적 회로에 관한 것으로서, 특히 입출력 포트가 분리된 접적 회로에 있어서 데이터 속출 동작과 기입 동작이 동시에 수행될 수 있는 접적 회로 및 방법에 관한 것이다.

일반적인 동기식 RAM(synchronous RAM)은 하나의 클럭 주기마다 속출 데이터 또는 기입 데이터 중 어느 하나만을 전송할 수 있다.

이중 데이터율 램(double data rate RAM)은 클럭의 상승 에지와 하강 에지마다 데이터를 전송함으로써 데이터 전송률을 2배 증가 시켰다. 그러나 일반적인 메모리 장치는 데이터의 입력과 데이터의 출력이 하나의 핀을 통하여 이루어 진다. 공동 입출력 포트(common I/O)를 이용하는 방법은 데이터의 입력과 출력이 독립적으로 제어될 수 없기 때문에 데이터의 입력 주파수와 출력 주파수를 제한할 수밖에 없다.

그러나 메모리 장치의 대역폭(bandwidth)이 중요시되면서, 분리된 입출력 포트(separate I/O)를 사용하는 제품들이 제조되고 있다. 즉, 데이터의 입력과 출력이 독립적으로 제어될 수 있도록 입력 핀과 출력 핀이 분리된 것이다. 분리된 입력 핀과 출력 핀을 가진 메모리 장치는 클럭의 한 주기 내에 속출 명령(read command)과 속출 어드레스(read address), 기입 명령(write command)과 기입 어드레스(write address) 및 기입 데이터(write data)를 모두 수신할 수 있으므로 동작 주파수를 증가시킬 수 있다.

그러나, 분리된 입출력 포트를 가지는 메모리 장치도 하나의 클럭 주기 내에서 속출 명령(read command)과 속출 어드레스(read address), 기입 명령(write command)과 기입 어드레스(write address) 및 기입 데이터(write data)를 수신하는 경우, 속출 동작과 기입 동작이 하나의 클럭 주기 내에 수행되기 위해서는 두 번의 메모리 셀 접근을 수행되어야 한다.

즉, 데이터의 특성과 기입을 위한 워드 라인의 활성화가 클럭의 한 주기 내에 두 번 수행되어야 하므로 클럭 주파수가 워드 라인의 활성화 시간에 의해서 제한을 받는 문제가 있다.

도 1은 분리된 입출력 포트를 가지는 메모리 장치의 동작을 설명하는 태팅도이다.

어드레스와 워드 라인 사이의 관계나 입력 데이터 및 출력 데이터의 레이턴시(latency)는 메모리 장치의 회로 구성을 따라 달라지므로 도 1에서는 여기서는 고려되지 않는다.

도 1을 참조하면, 클럭 신호(CLK)의 한 주기 내에서 기입 어드레스(WADD)와 속출 어드레스(RADD)가 모두 입력되고 있다. 클럭 신호(CLK)의 상승 에지에서 입력되는 어드레스(A0, A2, A4, A6...)가 속출 어드레스(RADD)이고, 클럭 신호(CLK)의 하강 에지에서 입력되는 어드레스(A1, A3, A5, A7...)가 기입 어드레스(WADD)이다.

RESET와 MES는 각각 속출 어드레스(RADD)와 기입 어드레스(WADD)를 선택하는 속출 선택 신호 및 기입 선택 신호이다.

동음 어드레스(RADD) A0에 의하여 워드 라인(AML0)가 활성화되고, 워드 라인(AML0)에 응답하여 데이터(D0)가 출력된다. 또한 기입 어드레스(WADD) A1에 응답하여 워드 라인(AML1)이 활성화되면 입력 데이터(MI)가 입력된다.

따라서, 속출 동작을 위한 워드 라인(AML0)과 기입 동작을 위한 워드 라인(AML1)의 활성화 때문에 클럭 신호(CLK)의 한 주기의 절반이 제한된다. 즉, 클럭 신호의 한 주기동안에 각기 다른 어드레스를 가지는 메모리 셀에 순차적으로 접근을 해야만 하므로 클럭 신호(CLK)의 주기를 줄이기 어려운 문제가 있다.

클럭이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 클럭 신호의 한 주기 내에서 메모리 셀에 대한 속출 동작 및 기입 동작이 동시에 수행되도록 함으로써 클럭 신호의 동작 주파수를 증가시킬 수 있는 접적 회로를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는, 클럭 신호의 한 주기 내에서 메모리 셀에 대한 속출 동작 및 기입 동작이 동시에 수행되도록 함으로써 클럭 신호의 동작 주파수를 증가시킬 수 있는 방법을 제공하는데 있다.

클럭의 구성 및 작동

상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 접적 회로는, 입출력 포트가 분리되어 있고, 클럭 신호의 한 주기동안 기입 어드레스와 속출 어드레스가 입력되는 접적 회로에 있어서 복수개의 서브 메모리 블록들을 각각 구비하는 메모리 블록들, 상기 메모리 블록들에 대응되는 개수 메모리 블록들 및 태그 메모리 제어부를 구비한다.

태그 메모리 제어부는 상기 기입 어드레스 또는 상기 속출 어드레스에 응답하여 상기 메모리 블록들 및 상기 개수 메모리 블록들에 저장된 데이터를 속출하거나 상기 메모리 블록들 및 상기 개수 메모리 블록들로 상기 데이터를 기입한다.

특히, 태그 메모리 제어부는 상기 기입 어드레스 및 상기 속출 어드레스가 동일한 경우, 상기 데이터의 속출 동작과 기입 동작이 상기 메모리 블록과 상기 개수 메모리 블록에 각각 나누어져 동시에 수행되도록 제어하는 것을 특징으로 한다.

상기 기입 어드레스 및 상기 속출 어드레스가 다른 경우, 상기 각각의 기입 및 속출 어드레스에 대응되는 서로 다른 2개의 서브 메모리 블록들이 각각 디코딩 된다.

상기 접적 회로는 서로 분리되어 있는 기입 어드레스 디코딩 패스와 속출 어드레스 디코딩 패스를 구비하고, 상기 서브 메모리 블록들은 상기 기입 어드레스 디코딩 패스와 상기 속출 어드레스 디코딩 패스에 각

각 연결된다.

메모리 블록 내부의 서로 다른 서브 메모리 블록들 중 동일한 하위 어드레스를 가지는 메모리 셀들은 상기 캐쉬 메모리 블록의 하나의 메모리 셀에 대응된다. 상기 캐쉬 메모리 블록의 사이즈는 상기 하나의 서브 메모리 블록의 사이즈와 같거나 크다.

상기 태그 메모리 제어부는 상기 캐쉬 메모리 블록에 대응되는 상기 서브 메모리 블록의 어드레스를 나타내는 캐쉬 메모리 어드레스 및 상기 캐쉬 메모리 블록에 저장되어 있는 데이터가 유효한지를 판단하는 유효 판단 정보를 저장한다.

상기 태그 메모리 제어부는 상기 서브 메모리 블록들 중 하나를 선택하는 상기 기입 어드레스의 상위 어드레스와 상기 둑출 어드레스의 상위 어드레스가 서로 동일한 경우, 상기 기입 어드레스와 상기 둑출 어드레스 중 어느 하나도 상기 캐쉬 메모리 어드레스와 동일하지 않으면 상기 둑출 어드레스에 대응되는 상기 메모리 블록에서 둑출 동작을 수행하고, 상기 캐쉬 메모리 블록에서 기입 동작을 수행하며, 상기 둑출 동작 및 상기 기입 동작은 동시에 수행된다.

상기 태그 메모리 제어부는 상기 서브 메모리 블록들 중 하나를 선택하는 상기 기입 어드레스의 상위 어드레스와 상기 둑출 어드레스의 상위 어드레스가 서로 동일한 경우, 상기 기입 어드레스 및 상기 둑출 어드레스 중 하나가 상기 캐쉬 메모리 어드레스와 일치되면, 상기 캐쉬 메모리 어드레스와 일치된 어드레스에 대응되는 동작이 상기 캐쉬 메모리 블록에서 수행되고 일치되지 않은 어드레스에 대응되는 동작이 상기 메모리 블록에서 수행된다.

상기 기입 어드레스 및 상기 둑출 어드레스가 모두 상기 캐쉬 메모리 어드레스와 일치되면, 상기 캐쉬 메모리 블록에서 둑출 동작이 수행되고 상기 메모리 블록에서 기입 동작이 수행되며 상기 둑출 동작 및 상기 기입 동작은 동시에 수행된다.

상기 태그 메모리 제어부는 상기 서브 메모리 블록들 중 하나를 선택하는 상기 기입 어드레스의 상위 어드레스와 상기 둑출 어드레스의 상위 어드레스가 서로 다른 경우, 상기 기입 어드레스 및 상기 둑출 어드레스 중 하나가 상기 캐쉬 메모리 어드레스와 일치되면, 상기 캐쉬 메모리 어드레스와 일치된 어드레스에 대응되는 동작이 상기 캐쉬 메모리 블록에서 수행되고 일치되지 않은 어드레스에 대응되는 동작이 상기 메모리 블록에서 수행된다.

상기 기입 어드레스 및 상기 둑출 어드레스가 모두 상기 캐쉬 메모리 어드레스와 일치되면, 상기 캐쉬 메모리 블록에서 둑출 동작이 수행되고 상기 메모리 블록에서 기입 동작이 수행된다.

상기 기입 어드레스 및 상기 둑출 어드레스가 모두 상기 캐쉬 메모리 어드레스와 일치되지 않으면, 상기 선택된 메모리 블록 중 상기 기입 어드레스 및 상기 둑출 어드레스에 대응되는 서로 다른 서브 메모리 블록에서 기입 동작 및 둑출 동작이 수행되며, 상기 둑출 동작 및 상기 기입 동작은 동시에 수행된다.

상기 데이터는 단일 데이터 흐름(SDR: Single Data Rate) 또는 이중 데이터 흐름(DDR: Double Data Rate)로 입력 또는 출력된다.

상기 기술적 과정을 달성하기 위한 본 발명의 제 2 실시예에 접속 회로는, 입출력 포트가 분리되어 있는 전지 회로에 있어서 복수개의 서브 메모리 블록들을 각각 구비하는 메모리 블록들, 캐쉬 메모리 블록들, 디코딩부 및 태그 메모리 제어부를 구비한다.

캐쉬 메모리 블록들은, 상기 각각의 메모리 블록에 대응되며, 소정의 캐쉬 제어 신호에 응답하여 저장된 데이터가 출력되거나 또는 데이터가 기입된다. 디코딩부들은, 상기 각각의 메모리 블록에 대응되며, 기입 어드레스 또는 둑출 어드레스, 소정의 디코딩 제어 신호에 응답하여 상기 서브 메모리 블록들을 제어하는 디코딩 신호를 발생한다.

태그 메모리 제어부는 기입 선택 신호 또는 둑출 선택 신호, 상기 기입 어드레스 또는 상기 둑출 어드레스를 수신하고, 블럭 신호의 한 주기 동안 입력되는 상기 기입 어드레스와 상기 둑출 어드레스가 동일한지에 따라, 상기 데이터의 기입 동작 및 둑출 동작이 동시에 수행되도록 상기 캐쉬 제어 신호 또는 상기 디코딩 제어 신호를 발생한다.

상기 디코딩부들은, 각각 상기 서브 메모리 블록들에 대응되는 복수개의 디코딩 회로들을 구비한다. 상기 디코딩 회로들은, 서로 분리되어 있는 기입 어드레스 디코딩 패스 및 둑출 어드레스 디코딩 패스와 연결되고, 상기 서브 메모리 블록들은 상기 기입 어드레스 디코딩 패스와 상기 둑출 어드레스 디코딩 패스에 각각 연결된다.

상기 다른 기술적 과정은 달성하기 위한 본 발명의 제 1 실시예에 따른 데이터 둑출 동작과 기입 동작을 동시에 수행하는 방법은, 입출력 포트가 분리되어 있고, 블럭 신호의 한 주기 동안 기입 어드레스와 둑출 어드레스가 입력되며, 복수개의 서브 메모리 블록들을 각각 구비하는 전지 회로의 데이터 둑출 동작과 기입 동작을 동시에 수행하는 방법에 있어서, (a) 블럭 신호의 한 주기 동안 상기 기입 어드레스와 상기 둑출 어드레스가 모두 입력되는지 상기 기입 어드레스 및 상기 둑출 어드레스 중 어느 하나만 입력되는지를 판단하는 단계, (b) 상기 기입 어드레스와 상기 둑출 어드레스가 모두 입력되면 상기 기입 어드레스의 상위 어드레스와 상기 둑출 어드레스의 상위 어드레스가 동일한지를 판단하는 단계, (c) 상기 기입 어드레스의 상위 어드레스와 상기 둑출 어드레스의 상위 어드레스가 동일하면, 상기 기입 어드레스와 상기 둑출 어드레스가 소정의 캐쉬 메모리 어드레스와 동일한지를 판단하는 단계 및 (d) 상기 기입 어드레스 및 상기 둑출 어드레스 중 어느 하나도 상기 캐쉬 메모리 어드레스와 동일하지 않으면, 상기 둑출 어드레스에 대응되는 상기 메모리 블록에서 둑출 동작을 수행하고, 상기 캐쉬 메모리 블록에서 기입 동작을 수행하는 단계를 구비한다.

상기 (d) 단계는, (d1) 상기 캐쉬 메모리 블록에 저장되어 있는 데이터가 유효한지를 판단하는 단계, (d2) 상기 캐쉬 메모리 블록에 저장되어 있는 데이터가 유효하지 않으면 상기 둑출 어드레스에 대응되는 상기 메모리 블록에서 둑출 동작을 수행하고, 상기 캐쉬 메모리 블록에서 기입 동작을 수행하는 단계, (d3) 상

10-2004-0036477

가 캐쉬 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시키는 단계, (d4)상기 캐쉬 메모리 블록에 저장되어 있는 데이터가 유효하면 상기 블록에 대응되는 상기 메모리 블록에서 블록 동작을 수행하고, 상기 캐쉬 메모리에 저장되어 있는 유효한 데이터를 블록하여 대응되는 메모리 블록에 기입하는 단계 및 (d5)상기 캐쉬 메모리 블록에 기입 동작을 수행하고, 상기 캐쉬 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시키는 단계를 구비한다.

상기 캐쉬 메모리 어드레스는 상기 캐쉬 메모리 블록에 대응되는 상기 서브 메모리 블록의 어드레스를 나타낸다.

상기 (c)는 (c1)상기 기입 어드레스 및 상기 블록 어드레스 중 하나가 상기 캐쉬 메모리 어드레스와 일치되면, 상기 캐쉬 메모리 어드레스에 일치된 어드레스에 대응되는 동작을 상기 캐쉬 메모리 블록에서 수행하고, 상기 캐쉬 메모리 어드레스와 일치되지 않은 어드레스에 대응되는 동작을 상기 캐쉬 메모리 블록에서 수행하는 단계 및 (c2)상기 기입 어드레스 및 상기 블록 어드레스가 모두 상기 캐쉬 메모리 어드레스와 일치되면, 상기 캐쉬 메모리 블록에서 블록 동작을 수행하고, 상기 캐쉬 메모리 블록에서 기입 동작을 수행하며, 상기 캐쉬 메모리 블록에서 기입된 데이터에 관한 정보를 업데이트(update) 시키는 단계를 구비한다.

상기 (b) 단계는 (b1) 상기 기입 어드레스의 상위 어드레스와, 상기 블록 어드레스의 상위 어드레스가 등록하지 않으면 상기 기입 어드레스와 블록 어드레스가 상기 캐쉬 메모리 어드레스와 일치되는지를 판단하는 단계, (b2)상기 기입 어드레스 및 상기 블록 어드레스 중 어느 하나가 상기 캐쉬 메모리 어드레스와 일치되면, 상기 캐쉬 메모리 어드레스와 일치된 어드레스에 대응되는 동작을 상기 캐쉬 메모리 블록에서 수행하고, 상기 캐쉬 메모리 어드레스와 일치되지 않은 어드레스와 일치되는 동작을 상기 캐쉬 메모리 블록에서 수행하는 단계, (b3)상기 기입 어드레스 및 상기 블록 어드레스가 모두 상기 캐쉬 메모리 어드레스와 일치되면, 상기 캐쉬 메모리 블록에서 블록 동작을 수행하고, 상기 캐쉬 메모리 블록에서 기입 동작을 수행하는 단계 및 (b4)상기 기입 어드레스 및 상기 블록 어드레스가 모두 상기 캐쉬 메모리 어드레스와 일치되지 않으면, 상기 선택된 메모리 블록 중 상기 기입 어드레스와 블록 어드레스에 대응되는 서로 다른 서브 메모리 블록에서 기입 동작 및 블록 동작을 수행하는 단계를 구비한다.

상기 (a) 단계는 (a1)상기 기입 어드레스 및 상기 블록 어드레스 중 어느 하나만 입력되면 입력된 상기 기입 어드레스 및 상기 블록 어드레스 중 어느 하나가 상기 캐쉬 메모리 어드레스와 일치되는지를 판단하는 단계, (a2)입력된 상기 기입 어드레스 또는 상기 블록 어드레스가 상기 캐쉬 메모리 어드레스와 일치되면, 상기 캐쉬 메모리 어드레스와 일치된 기입 어드레스 또는 블록 어드레스에 대응되는 동작을 상기 캐쉬 메모리 블록에서 수행하는 단계 및 (a3)입력된 상기 기입 어드레스 또는 상기 블록 어드레스가 상기 캐쉬 메모리 어드레스와 일치되지 않으면, (a4)상기 캐쉬 메모리 어드레스와 일치되지 않은 기입 어드레스 또는 블록 어드레스에 대응되는 동작을 상기 캐쉬 메모리 블록에서 수행하는 단계를 구비한다.

상기 메모리 블록 내부의 서로 다른 서브 메모리 블록을 중 동일한 하위 어드레스를 가지는 메모리 셀들을 상기 캐쉬 메모리 블록의 하나의 메모리 셀에 대응되는 것을 특징으로 한다.

상기 캐쉬 메모리 블록의 사이즈는 상기 하나의 서브 메모리 블록의 사이즈와 같거나 큰 것을 특징으로 한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 위하여 달성되는 목적을 충분히 이해하기 위해 서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 제 1 실시예에 따른 접적 회로를 나타내는 블록도이다.

도 2를 참조하면, 접적 회로(200)는 복수개의 서브 메모리 블록들(SMB1, SMB2 ~ SMB M)을 각각 구비하는 메모리 블록들(MB1, MB2, MB3, MB4), 메모리 블록들(MB1, MB2, MB3, MB4)에 대응되는 캐쉬 메모리 블록들(CMB1, CMB2, CMB3, CMB4) 및 태그 메모리 제어부(210)를 구비한다. 도 2의 접적 회로(200)는 입출력 포트가 분리되어 있고, 블럭 신호의 한 주기동안 기입 어드레스(WADD)와 블록 어드레스(RADD)가 입력된다.

메모리 블록들(MB1, MB2, MB3, MB4)은 서로 동일한 구조를 가지고 있고, 캐쉬 메모리 블록들(CMB1, CMB2, CMB3, CMB4)도 서로 동일한 구조를 가지고 있으므로, 메모리 블록들(MB1, MB2, MB3, MB4) 중 두 번째 메모리 블록(MB2)과 두 번째 캐쉬 메모리 블록(CMB2)을 중심으로 설명한다.

기입 어드레스(WADD) 및 블록 어드레스(RADD)는 각각 상위 어드레스와 하위 어드레스로 구분되는데, 상위 어드레스는 복수개의 서브 메모리 블록들 중 어느 하나를 지정하는 어드레스이다.

본 발명의 기본 원리는 기입 어드레스(WADD) 및 블록 어드레스(RADD)가 동일한 경우, 데이터의 블록 동작과 기입 동작이 메모리 블록과 캐쉬 메모리 블록에 각각 나누어져 동시에 수행될으로써 블럭 신호의 주기를 줄여리는 것이다.

즉, 기입 어드레스(WADD)와 블록 어드레스(RADD)가 동일하여 동시에 하나의 메모리 블록(예를 들어, 제 2 메모리 블록(MB2)) 중 동일한 서브 메모리 블록(예를 들어, SMB2)에 접근을 해야 할 경우, 서브 메모리 블록(SMB2)에서 데이터의 블록 동작이 수행되면 데이터의 기입 동작은 서브 메모리 블록(SMB2)에 대응되는 캐쉬 메모리 블록(CMB2)에서 수행되도록 하는 것이다.

반대로, 메모리 블록(MB2)에서 데이터의 기입 동작이 수행되면 데이터의 블록 동작은 메모리 블록(MB2)에 대응되는 캐쉬 메모리 블록(CMB2)에서 수행되도록 한다. 이와 같이 한으로써 데이터의 블록 동작 및 기입 동작이 동시에 병렬적으로 이루어질 수 있게 되고 블럭 신호의 주기를 줄일 수 있다.

이를 위하여, 메모리 블록(MB2) 내부의 서로 다른 서브 메모리 블록(SMB1, SMB2, SMB3 ~ SMB M) 중 동일한 하위 어드레스를 가지는 메모리 셀들을 캐쉬 메모리 블록(CMB2)의 하나의 메모리 셀에 대응되어야 한다. 또한, 동일한 서브 메모리 블록에 대하여 계속 기입 동작과 블록 동작이 수행될 경우도 발생될 수

있으므로, 캐시 메모리 블록의 사이즈는 하나의 서브 메모리 블록의 사이즈와 같거나 커야한다.

이러한 동작은 태그 메모리 제어부(210)에 의해 수행된다. 태그 메모리 제어부(210)는 기입 어드레스(WADD) 또는 톨출 어드레스(RADD)에 응답하여 메모리 블록들(MB1, MB2, MB3, MB4) 및 캐시 메모리 블록들(CMB1, CMB2, CMB3, CMB4)에 저장된 데이터를 톨출하거나 메모리 블록들(MB1, MB2, MB3, MB4) 및 캐시 메모리 블록들(CMB1, CMB2, CMB3, CMB4)로 데이터를 기입한다.

기입 어드레스(WADD)와 톨출 어드레스(RADD)가 동일하여, 메모리 블록(MB2)의 하나의 서브 메모리 블록에서 톨출 동작이 수행되고 캐시 메모리 블록(CMB2)에서 기입 동작이 수행된 경우, 캐시 메모리 블록(CMB2)에 기입된 데이터가 본래 기입되어야 할 메모리 블록(MB2) 중 서브 메모리 블록의 주소가 캐시 메모리 어드레스로서 태그 메모리 제어부(210)에 저장된다.

즉, 캐시 메모리 어드레스는 캐시 메모리 블록(CMB2)에 저장되어 있는 데이터가 본래 저장되어 있어야 할 서브 메모리 블록을 지정하는 상위 어드레스이다.

입력되는 어드레스 중에서 하위 어드레스를 이용하여 태그 메모리 제어부(210)에 저장된 캐시 메모리 어드레스에 접근하고, 접근된 캐시 메모리 어드레스와 입력된 어드레스의 상위 어드레스가 비교된다.

다음 번 기입 어드레스(WADD)와 톨출 어드레스(RADD)가 동일하고, 또한 이전의 기입 어드레스(WADD)와 톨출 어드레스(RADD)와도 동일하여 캐시 메모리 블록(CMB2)에 다시 기입 동작이 수행되어야 할 경우가 있다. 이 경우, 캐시 메모리 블록(CMB2)에 먼저 기입되어 있던 데이터가 유효한 데이터인지 여부를 판단해야 한다.

유효한 데이터라면 캐시 메모리 블록(CMB2)에 먼저 기입되어 있는 데이터를 톨출하여 메모리 블록(MB2)의 대응되는 서브 메모리 블록에 기입한 후, 다음 번 기입 어드레스(WADD)에 대응되는 데이터를 캐시 메모리 블록(CMB2)에 기입해야 하기 때문이다. 캐시 메모리 블록(CMB2)에 저장되어 있는 데이터가 유효한지를 판단하는 유효 판단 정보도 태그 메모리 제어부(210)에 저장된다.

또한 기입 어드레스(WADD) 및 톨출 어드레스(RADD)가 다른 경우, 각각의 기입 및 톨출 어드레스(WADD, RADD)에 대응되는 서로 다른 2개의 서브 메모리 블록들이 각각 디코딩 된다.

이를 위하여, 접적 회로(200)는 기입 어드레스 디코딩 패스(미도시)와 톨출 어드레스 디코딩 패스(미도시)가 서로 독립적으로 분리되어야 한다. 그리고, 서브 메모리 블록들(SMB1, SMB2, SMB3 ~ SMB M)은 기입 어드레스 디코딩 패스와 톨출 어드레스 디코딩 패스에 각각 연결되어야 한다.

데이터는 단일 데이터 융(DSR: Single Data Rate) 또는 미증 데이터 융(DDR: Double Data Rate)로 입력 편 및 출력 편을 통하여 입력 또는 출력된다.

태그 메모리 제어부(210)가 메모리 블록(MB2)과 캐시 메모리 블록(CMB2)을 제어하여 데이터의 톨출 및 기입을 수행하는 동작은 도 3 및 도 4를 참조하여 후술된다.

도 3은 제 2 실시예에 따른 접적 회로를 나타내는 블록도이다.

접적 회로(300)는 복수개의 서브 메모리 블록들(SMB1, SMB2, SMB3 ~ SMB N)을 각각 구비하는 메모리 블록들, 캐시 메모리 블록들, 디코딩부들 및 태그 메모리 제어부(310)를 구비한다.

캐시 메모리 블록들은 각각의 메모리 블록에 대응되며, 소정의 캐시 제어 신호(CCLS)에 응답하여 저장된 데이터가 출력되거나 또는 데이터가 기입된다. 디코딩부들은 각각의 메모리 블록에 대응되며, 기입 어드레스(WADD) 또는 톨출 어드레스(RADD), 소정의 디코딩 제어 신호(DCLS)에 응답하여 서브 메모리 블록들(SMB1, SMB2, SMB3 ~ SMB M)을 제어하는 디코딩 신호(DS)를 발생한다.

도 3은 복수개의 메모리 블록들 중 하나의 메모리 블록(MB2)과 복수개의 디코딩부들 중 하나의 디코딩부(320), 복수개의 캐시 메모리 블록들 중 하나의 캐시 메모리 블록(CMB2)을 도시하고 있다.

따라서 제 2 실시예에 따른 접적 회로(300)의 동작의 설명도 도 3에 도시된 메모리 블록(MB2)과 캐시 메모리 블록(CMB2), 디코딩부(320) 및 태그 메모리 제어부(310)를 이용하여 설명한다.

태그 메모리 제어부(310)는 기입 선택 신호(WES) 또는 톨출 선택 신호(RES), 기입 어드레스(WADD) 또는 톨출 어드레스(RADD)를 수신하고, 톨출 신호의 한 주기 동안 입력되는 기입 어드레스(WADD)와 톨출 어드레스(RADD)가 동일한 지에 따라 상기 데이터의 기입 동작 및 톨출 동작이 동시에 수행되도록, 캐시 제어 신호(CCLS) 또는 디코딩 제어 신호(DCLS)를 발생한다. 또한 도면에는 도시되지 않았으나, 톨출 선택 신호(WES)와 기입 선택 신호(RES)도 메모리 블록(MB2) 및 캐시 메모리 블록(CMB2)으로 인가될 수도 있다.

도 2의 접적 회로(200)와 마찬가지로 상기 디코딩부들은 각각 서브 메모리 블록들(SMB1, SMB2, SMB3 ~ SMB M)에 대응되는 복수개의 디코딩 회로들(미도시)을 구비한다. 입력되는 기입 어드레스(WADD) 및 톨출 어드레스(RADD)가 서로 다른 경우, 각각의 기입 및 톨출 어드레스(WADD, RADD)에 대응되는 서로 다른 2개의 서브 메모리 블록들이 각각 디코딩 되어야 하기 때문이다.

미를 위하여, 디코딩 회로들(미도시)은 서로 분리되어 있는 기입 어드레스 디코딩 패스(미도시) 및 톨출 어드레스 디코딩 패스(미도시)와 연결되고, 서브 메모리 블록들(SMB1, SMB2, SMB3 ~ SMB M)은 기입 어드레스 디코딩 패스(미도시)와 톨출 어드레스 디코딩 패스(미도시)에 각각 연결된다.

도 4는 다른 실시예에 따른 데이터의 톨출 동작과 기입 동작을 동시에 수행하는 방법을 나타내는 플로우 차트이다.

도 5는 도 4의 440단계를 설명하는 플로우 차트이다.

도 6은 도 4의 445단계를 설명하는 플로우 차트이다.

도 7은 도 4의 455단계를 설명하는 플로우 차트이다.

이하, 도 24자, 도 7를 참조하여 데이터의 동작과 기입 동작을 동시에 수행하는 접적 회로 및 방법에 대하여 설명한다.

먼저, 클럭 신호의 한 주기 동안 기입 어드레스와 독출 어드레스가 모두 입력되는지 기입 어드레스 및 독출 어드레스 중 어느 하나만 입력되는지를 판단한다.(410 단계) 도 3의 기입 선택 신호(WES) 및 독출 선택 신호(RES)에 의하여 판단될 수 있다.

기입 선택 신호(WES)가 로운 레벨이거나 독출 선택 신호(RES)가 로우 레벨인 경우 각각 기입 어드레스(WADD)와 독출 어드레스(RADD)가 입력되는 것으로 설명한다. 물론 기입 선택 신호(WES) 및 독출 선택 신호(RES)의 레벨이 하이 레벨인 경우에 기입 어드레스(WADD)와 독출 어드레스(RADD)가 입력되는 것으로 카운트를 구성할 수도 있을 것이다.

태그 메모리 제어부(310)는 기입 선택 신호(WES)와 독출 선택 신호(RES)를 수신하고, 기입 어드레스(WADD)와 독출 어드레스(RADD)를 수신한다.

기입 어드레스와 독출 어드레스가 모두 입력되면 기입 어드레스의 상위 어드레스와 상기 독출 어드레스의 상위 어드레스에 동일한지를 판단한다.(420 단계)

기입 어드레스(WADD)나 독출 어드레스(RADD)는 상위 비트에 서브 메모리 블록을 지정하는 정보를 가지고 있다. 따라서 기입 어드레스(WADD)나 독출 어드레스(RADD)가 입력되면 먼저 기입 어드레스(WADD)나 독출 어드레스(RADD)의 상위 어드레스를 인식하여 어떤 서브 메모리 블록을 지정하는지를 판단한다.

기입 어드레스의 상위 어드레스와 독출 어드레스의 상위 어드레스가 동일하면, 기입 어드레스와 독출 어드레스가 소정의 캐시 메모리 어드레스와 동일한지를 판단한다.(430 단계)

기입 어드레스(WADD)의 상위 어드레스와 독출 어드레스(RADD)의 상위 어드레스가 동일하면 기입 어드레스(WADD) 및 독출 어드레스(RADD)가 동일한 서브 메모리 블록을 지정하고 있는 것이다.

태그 메모리 제어부(310)는 캐시 메모리 어드레스를 내부에 저장하고 있다. 캐시 메모리 어드레스는 캐시 메모리 블록(CMB2)에 대응되는 서브 메모리 블록의 어드레스를 나타낸다. 만일 기입 어드레스(WADD)가 캐시 메모리 어드레스와 동일하면 기입 동작은 캐시 메모리 블록(CMB2)에서 수행되어야 한다.

기입 어드레스와 독출 어드레스 중 어느 하나도 상기 캐시 메모리 어드레스와 동일하지 않으면, 상기 독출 어드레스에 대응되는 상기 메모리 블록에서 독출 동작을 수행하고, 상기 캐시 메모리 블록에서 기입 동작을 수행한다.(440 단계)

제 440 단계를 도 5를 참조하여 좀더 설명한다. 기입 어드레스와 독출 어드레스 중 어느 하나도 상기 캐시 메모리 어드레스와 동일하지 않으면, 상기 캐시 메모리 블록에 저장되어 있는 데이터가 유효한지를 판단한다.(510 단계)

기입 어드레스(WADD)와 독출 어드레스(RADD) 중 어느 하나도 상기 캐시 메모리 어드레스와 동일하지 않다는 것은 결국, 메모리 블록(MB2)의 동일한 서브 메모리 블록에서 기입 동작 및 독출 동작이 수행되어야 한다는 것을 의미한다. 그러나 동일한 서브 메모리 블록에서 기입 워드 라인과 독출 워드 라인이 동시에 인예이를 끝 수 없다. 따라서 캐시 메모리 블록(CMB2)을 이용하는 것이다.

상기 캐시 메모리 블록에 저장되어 있는 데이터가 유효하지 않으면 상기 독출 어드레스에 대응되는 상기 메모리 블록에서 독출 동작을 수행하고, 상기 캐시 메모리 블록에서 기입 동작을 수행한다.(540 단계)

기입 동작과 독출 동작이 동일한 서브 메모리 블록에서 수행되어야 할 경우 독출 동작이 우선적으로 수행된다. 따라서, 독출 어드레스(RADD)에 대응되는 메모리 블록(MB2)의 서브 메모리 블록에서 독출 동작을 수행된다. 그리고 캐시 메모리 블록(CMB2)에 저장되어 있던 데이터가 유효하지 않으므로 캐시 메모리 블록(CMB2)에 기입 동작을 수행한다.

태그 메모리 제어부(310)는 디코딩 제어 신호(CCLS)를 발생하여 캐시 메모리 블록(MB2)에서 기입 동작을 수행한다.

캐시 메모리 블록(CMB2)에 저장된 데이터가 변경되었으므로, 상기 캐시 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(550 단계) 이러한 정보의 업데이트는 태그 메모리 제어부(310)에서 수행된다.

상기 캐시 메모리 블록에 저장되어 있는 데이터가 유효하면 상기 독출 어드레스에 대응되는 상기 메모리 블록에서 독출 동작을 수행하고, 상기 캐시 메모리 블록에 저장되어 있는 유효한 데이터를 독출하여 대응되는 메모리 블록에 기입한다.(560 단계)

기입 동작과 독출 동작이 동일한 서브 메모리 블록에서 수행되어야 할 경우 독출 동작이 우선적으로 수행되므로, 독출 어드레스(RADD)에 대응되는 메모리 블록(MB2)의 서브 메모리 블록에서 독출 동작을 수행된다. 태그 메모리 제어부(310)에서 발생되는 디코딩 제어 신호(OCLS)에 의하여 수행된다.

캐시 메모리 블록(CMB2)에 저장된 데이터가 유효한 데이터이므로, 먼저, 캐시 메모리 블록(MB2)에 저장되어 있는 유효한 데이터를 독출하여, 독출된 데이터를 메모리 블록의 대응되는 서브 메모리 블록에 기입해야 한다. 그리고, 캐시 제어 신호(CCLS)에 응답하여 캐시 메모리 블록(CMB2)에 기입 동작을 수행하고, 캐시 메모리 블록(CMB2)에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(530 단계) 정보의 업데이트는 역시 태그 메모리 제어부(310)에서 수행된다.

이와 같은 데이터의 기입, 동작과 독출 동작은 동시에 수행된다. 즉, 서브 메모리 블록과 캐시 메모리 블록(CMB2)에서 기입 동작과 독출 동작이 별개로 수행되므로 기입 워드 리인과 독출 워드 리인은 동시에 인에이블 될 수 있다. 따라서 기입 워드리인과 독출 워드리인은 순차적으로 인에이블됨으로 인하여 출력 신호의 주기를 줄이는데 제한이 생기는 문제를 해결할 수 있는 것이다.

상기 기입 어드레스 및 상기 독출 어드레스 중 하나가 상기 캐시 메모리 어드레스와 일치되는지, 상기 기입 어드레스 및 상기 독출 어드레스 모두가 상기 캐시 메모리 어드레스와 일치되는지를 판단하여 기입 동작 및 독출 동작을 수행한다.(445 단계)

제 445 단계를 도 6을 참조하며 좀 더 설명한다. 상기 기입 어드레스 및 상기 독출 어드레스 중 하나가 상기 캐시 메모리 어드레스와 일치되면, 상기 캐시 메모리 어드레스와 일치된 어드레스에 대응되는 동작을 상기 캐시 메모리 블록에서 수행하고, 상기 캐시 메모리 어드레스와 일치되지 않은 어드레스에 대응되는 동작을 상기 메모리 블록에서 수행한다.(610 단계)

즉, 독출 어드레스(RADD)가 캐시 메모리 어드레스와 일치되고, 기입 어드레스(WADD)가 캐시 메모리 어드레스와 일치되지 않으면, 캐시 메모리 블록(CMB2)에서 독출 동작을 수행한다. 태그 메모리 제어부(310)는 캐시 제어 신호(DCLS)를 캐시 메모리 블록(CMB2)으로 인기하여 독출 동작을 수행한다. 독출된 데이터는 도 3에서 0000으로 표시되어 있다.

또한 태그 메모리 제어부(310)는 디코딩 제어 신호(DCLS)를 발생하여 메모리 블록(MB2)에서 기입 동작이 수행되도록 한다.

반대로, 기입 어드레스(WADD)가 캐시 메모리 어드레스와 일치되고, 독출 어드레스(RADD)가 캐시 메모리 어드레스와 일치되지 않으면, 캐시 메모리 블록(CMB2)에서 기입 동작을 수행하고, 메모리 블록(MB2)에서 독출 동작을 수행한다.

상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되면, 상기 캐시 메모리 블록에서 독출 동작을 수행하고, 상기 메모리 블록에서 기입 동작을 수행하며, 상기 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(620 단계)

기입 어드레스 및 상기 독출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되면, 기입 동작과 독출 동작이 모두 캐시 메모리 블록(CMB2)에서 수행되어야 한다는 것을 의미한다. 그러나, 이것은 동일한 서브 메모리 블록에서 기입 동작과 독출 동작이 동시에 수행될 수 없는 것과 동일한 이유로 불가능하다.

따라서, 캐시 메모리 블록(CMB2)에서 캐시 제어 신호(DCLS)에 응답하여 독출 동작을 수행한다. 그리고 디코딩 제어 신호(DCLS)에 응답하여 메모리 블록(MB2)의 대응되는 서브 메모리 블록에서 기입 동작을 수행한다. 본래 캐시 메모리 블록(CMB2)에 기입되어야 할 데이터가 서브 메모리 블록에 기입된 것이므로, 캐시 메모리 블록(CMB2)에 현재 저장되어 있는 데이터는 유효하지 않은 데이터가 된다. 따라서 이러한 정보를 태그 메모리 제어부(310)에 업데이트 시킨다.

제 420 단계에서, 상기 기입 어드레스의 상위 어드레스와 상기 독출 어드레스의 상위 어드레스가 동일하지 않으면, 상기 기입 어드레스와 상기 독출 어드레스가 상기 캐시 메모리 어드레스와 일치되는지를 판단한다.(450 단계)

상기 기입 어드레스 및 상기 독출 어드레스 중 하나가 상기 캐시 메모리 어드레스와 일치되는지, 상기 기입 어드레스 및 상기 독출 어드레스 모두가 상기 캐시 메모리 어드레스와 일치되는지를 판단하여 기입 동작 및 독출 동작을 수행한다.(455 단계)

제 455 단계를 도 7을 참조하여 좀 더 설명한다. 상기 기입 어드레스 및 상기 독출 어드레스 중 어느 하나가 상기 캐시 메모리 어드레스와 일치되면, 상기 캐시 메모리 어드레스와 일치된 어드레스에 대응되는 동작을 상기 캐시 메모리 블록에서 수행하고, 상기 캐시 메모리 어드레스와 일치되지 않은 어드레스와 일치되는 동작을 상기 메모리 블록에서 수행한다.(710 단계)

즉, 독출 어드레스(RADD)가 캐시 메모리 어드레스와 일치되고, 기입 어드레스(WADD)가 캐시 메모리 어드레스와 일치되지 않으면, 캐시 제어 신호(DCLS)에 응답하여 캐시 메모리 블록(CMB2)에서 독출 동작을 수행한다. 또한 태그 메모리 제어부(310)는 디코딩 제어 신호(DCLS)를 발생하여 메모리 블록(MB2)에서 기입 동작이 수행되도록 한다.

반대로, 기입 어드레스(WADD)가 캐시 메모리 어드레스와 일치되고, 독출 어드레스(RADD)가 캐시 메모리 어드레스와 일치되지 않으면, 캐시 메모리 블록(CMB2)에서 기입 동작을 수행하고, 메모리 블록(MB2)에서 독출 동작을 수행한다.

상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되면, 상기 캐시 메모리 블록에서 독출 동작을 수행하고, 상기 메모리 블록에서 기입 동작을 수행하며, 상기 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(720 단계)

기입 어드레스 및 상기 독출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되면, 기입 동작과 독출 동작이 모두 캐시 메모리 블록(CMB2)에서 수행되어야 한다는 것을 의미한다. 그러나, 이것은 동일한 서브 메모리 블록에서 기입 동작과 독출 동작이 동시에 수행될 수 없는 것과 동일한 이유로 불가능하다.

따라서, 캐시 메모리 블록(CMB2)에서 캐시 제어 신호(DCLS)에 응답하여 독출 동작을 수행한다. 그리고 디코딩 제어 신호(DCLS)에 응답하여 메모리 블록(MB2)의 대응되는 서브 메모리 블록에서 기입 동작을 수행한다. 본래 캐시 메모리 블록(CMB2)에 기입되어야 할 데이터가 서브 메모리 블록에 기입된 것이므로, 캐시 메모리 블록(CMB2)에 현재 저장되어 있는 데이터는 유효하지 않은 데이터가 된다. 따라서 이러한 정보를 태그 메모리 제어부(310)에 업데이트 시킨다.

제 450 단계에서 판단한 결과, 상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되지 않으면, 상기 선택된 메모리 블록 중 상기 기입 어드레스 및 상기 독출 어드레스에 대

응되는 서로 다른 서브·메모리 블록에서 기입 등작 및 독출 등작을 수행한다.(460 단계)

이 경우는 기입 어드레스(WADD) 및 독출 어드레스(RADD)가 서로 다른 서브 메모리 블록을 지정하고 있는 경우이다. 서로 다른 서브·메모리 블록이 지정되었으므로 각각의 서브 메모리 블록에 대응되는 디코딩 회로(미도시)를 이용하여 데이터의 독출 등작과 기입 등작을 수행한다.

각 서브 메모리 블록을 디코딩할 수 있는 디코딩 회로를 별도로 구비하고 있고, 또한 기입 어드레스 디코딩 패스와 독출 어드레스 디코딩 패스가 독립적으로 분리되어 있으므로 풍요한 메모리 블록이어도 서로 다른 서브 메모리 블록이라면 동시에 독출 등작 및 기입 등작이 수행될 수 있다.

제 410 단계에서, 상기 기입 어드레스 및 상기 드출 어드레스 중 어느 하나만 입력되면 입력된 상기 기입 어드레스 및 상기 독출 어드레스 중 어느 하나가 상기 캐쉬 메모리 어드레스와 일치되는지를 판단한다.(465 단계)

입력된 상기 기입 어드레스 또는 상기 독출 어드레스가 상기 캐쉬 메모리 어드레스와 일치되면, 상기 캐쉬 메모리 어드레스와 일치된 기입 어드레스 또는 드출 어드레스에 대응되는 등작을 상기 캐쉬 메모리 블록에서 수행한다.(470 단계) 이 경우는 블럭 신호의 한 주기 동안 기입 어드레스(WADD) 및 독출 어드레스(RADD) 중 어느 하나만 입력되는 것이다.

이때는 입력되는 어드레스가 캐쉬 메모리 어드레스와 일치되면 캐쉬 메모리 블록에서 대응되는 등작을 수행하고, 캐쉬 메모리 어드레스와 일치되지 않으면 메모리 블록(MB2)에서 대응되는 등작을 수행한다.

즉, 기입 어드레스(WADD)만이 입력되고, 입력된 기입 어드레스(WADD)가 캐쉬 메모리 어드레스와 일치된다면 캐쉬 메모리 블록(CMB2)에 기입 등작을 수행한다. 반대로, 독출 어드레스(RADD)만이 입력되고, 입력된 드출 어드레스(RADD)가 캐쉬 메모리 어드레스와 일치된다면 캐쉬 메모리 블록(CMB2)에 드출 등작을 수행한다. 이때 태그 메모리 제어부(310)는 캐쉬 제어 신호(CCLS)를 발생하여 캐쉬 메모리 블록(CMB2)에서 기인 또는 독출 등작이 수행되도록 할 것이다.

입력된 상기 기입 어드레스 또는 상기 드출 어드레스가 상기 캐쉬 메모리 어드레스와 일치되지 않으면, 상기 캐쉬 메모리 어드레스와 일치되지 않은 기입 어드레스 또는 독출 어드레스에 대응되는 등작을 상기 메모리 블록에서 수행한다.(475 단계).

도 8은 본 발명의 절적 회로의 등작을 설명하는 타이밍도이다.

도 8을 참조하면, 클럭 신호(OLK)의 한 주기가 도 1의 블럭 신호(CLK)의 한 주기의 절반으로 줄어들었음을 알 수 있다. 즉, 클럭 신호(OLK)의 주파수가 2배 증가된 것이다.

증례에는 기입 등작을 위한 워드 라인과 독출 등작을 위한 워드 라인이 클럭 신호(CLK)의 한 주기 동안에 순차적으로 인에이블 되므로 클럭 신호(CLK)의 주기를 짧게 하는 것이 어려웠다.

그러나, 본 발명에 따른 절적 회로 및 방법에 의하면, 도 8에서 알 수 있듯이, 독출 등작을 위한 워드 라인(예1)과 기입 등작을 위한 워드 라인(예2)이 클럭 신호(OLK)의 한 주기 동안에 동시에 인에이블 되므로 클럭 신호(OLK)의 주기를 짧게 할 수 있다.

본 발명은 입출력 포트가 분리되고, 클럭 신호의 한 주기 내에 기입 어드레스와 독출 어드레스를 모두 받을 수 있는 절적 회로에 대하여 적용될 수 있다. 또한 데이터는 단일 데이터 흐름(SDR: Single Data Rate) 또는 미증 데이터 흐름(DDR: Double Data Rate)로 분리된 입력 펀 또는 출력 펀을 통하여 입출력 될 수 있다.

이상에서와 같이 도면과 명세서에서 최적 실시예에 개시되었다. 여기서, 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적으로 사용된 것이다. 예미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 구동한 탄 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사항에 의해 정해져야 할 것이다.

보증의 조건

상술한 바와 같이 본 발명에 따른 절적 회로 및 외부 메모리 블록을 동시에 수행하는 방법은, 메모리 블록을 복수개의 서브·메모리 블록으로 구분하고, 각각의 서브·메모리 블록을 디코딩 시킬 수 있는 디코딩 회로와, 모든 서브·메모리 블록들에 연결되는 기입 어드레스 디코딩 패스와, 독출 어드레스 디코딩 패스를 별도로 구비하며, 캐쉬 메모리 블록을 구비하여 클럭 신호의 한 주기 내에서 독출 등작 및 기입 등작이 메모리 블록과 캐쉬 메모리 블록에서 나누어져 동시에 수행되도록 하여서 클럭 신호의 등작 주파수를 증가시킬 수 있는 장점이 있다.

(5) 첨부의 첨부

첨구한 1

입출력 포트가 분리되어 있고, 클럭 신호의 한 주기동안 기입 어드레스와 독출 어드레스가 입력되는 절적 회로에 있어서,

복수개의 서브·메모리 블록들을 각각 구비하는 메모리 블록들 :

상기 메모리 블록들에 대응되는 캐쉬 메모리 블록들 : 및

상기 기입 어드레스 또는 상기 독출 어드레스에 응답하여 상기 메모리 블록을 및 상기 캐쉬 메모리 블록들에 저장된 데이터를 독출하거나 상기 메모리 블록들 및 상기 캐쉬 메모리 블록들로 상기 데이터를 기입하는 태그 메모리 제어부를 구비하고,

[첨부그림 9]

10-2004-0036477

상기 태그 메모리 제어부는,

상기 기입 어드레스 및 상기 독출 어드레스의 상위 어드레스가 동일한 경우, 상기 데이터의 독출 동작과
기입 동작이 상기 메모리 블록과 상기 캐쉬 메모리 블록에 각각 나누어져 동시에 수행되도록 제어하는 것
을 특징으로 하는 접적 회로.

청구항 2

제 1항에 있어서,

상기 기입 어드레스 및 상기 독출 어드레스가 다른 경우, 상기 각각의 기입 및 독출 어드레스에 대응되는
서로 다른 2개의 서브 메모리 블록들이 각각 디코딩되는 것을 특징으로 하는 접적 회로.

청구항 3

제 1항에 있어서, 상기 접적 회로는,

서로 분리되어 있는 기입 어드레스 디코딩 패스와 독출 어드레스 디코딩 패스를 구비하고,

상기 서브 메모리 블록들을

상기 기입 어드레스 디코딩 패스와 상기 독출 어드레스 디코딩 패스에 각각 연결되는 것을 특징으로 하는
접적 회로.

청구항 4

제 1항에 있어서,

메모리 블록 내부의 서로 다른 서브 메모리 블록들 중 동일한 하위 어드레스를 가지는 메모리 셀들은 상
기 캐쉬 메모리 블록의 하나의 메모리 셀에 대응되는 것을 특징으로 하는 접적 회로.

청구항 5

제 1항에 있어서, 상기 캐쉬 메모리 블록의 사이즈는,

상기 하나의 서브 메모리 블록의 사이즈와 같거나 큰 것을 특징으로 하는 접적 회로.

청구항 6

제 1항에 있어서, 상기 태그 메모리 제어부는,

상기 캐쉬 메모리 블록에 대응되는 상기 서브 메모리 블록의 어드레스를 나타내는 캐쉬 어드레스 및
상기 캐쉬 메모리 블록에 저장되어 있는 데이터가 유효한지를 판단하는 유효 판단 정보를 저장하는 것
을 특징으로 하는 접적 회로.

청구항 7

제 6항에 있어서, 상기 태그 메모리 제어부는,

상기 서브 메모리 블록들 중 하나를 선택하는 상기 기입 어드레스의 상위 어드레스와 상기 독출 어드레스
의 상위 어드레스가 서로 동일한 경우,

상기 기입 어드레스와 상기 독출 어드레스 중 어느 하나도 상기 캐쉬 메모리 어드레스와 동일하지 않으면
상기 독출 어드레스에 대응되는 상기 메모리 블록에서 독출 동작을 수행하고 상기 캐쉬 메모리 블록에서
기입 동작을 수행하며,

상기 독출 동작 및 상기 기입 동작은 동시에 수행되는 것을 특징으로 하는 접적 회로.

청구항 8

제 6항에 있어서, 상기 태그 메모리 제어부는,

상기 서브 메모리 블록들 중 하나를 선택하는 상기 기입 어드레스의 상위 어드레스와 상기 독출 어드레스
의 상위 어드레스가 서로 동일한 경우,

상기 기입 어드레스 및 상기 독출 어드레스 중 하나가 상기 캐쉬 메모리 어드레스와 일치되면,

상기 캐쉬 메모리 어드레스와 일치된 어드레스에 대응되는 동작이 상기 캐쉬 메모리 블록에서 수행되고,
일치되지 않은 어드레스에 대응되는 동작이 상기 캐쉬 메모리 블록에서 수행되며,

상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 캐쉬 메모리 어드레스와 일치되면,

상기 캐쉬 메모리 블록에서 독출 동작이 수행되고 상기 캐쉬 메모리 블록에서 기입 동작이 수행되며,

상기 독출 동작 및 상기 기입 동작은 동시에 수행되는 것을 특징으로 하는 접적 회로.

청구항 9

제 6항에 있어서, 상기 태그 메모리 제어부는,

상기 서브 메모리 블록들 중 하나를 선택하는 상기 기입 어드레스의 상위 어드레스와 상기 독출 어드레스
의 상위 어드레스가 서로 다른 경우,

상기 기입 어드레스 및 상기 독출 어드레스 중 하나가 상기 캐쉬 메모리 어드레스와 일치되면,

상기 캐시 메모리 어드레스와 일치된 어드레스에 대응되는 동작이 상기 캐시 메모리 블록에서 수행되고 일치되지 않은 어드레스에 대응되는 동작이 상기 메모리 블록에서 수행되며,

상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되면,

상기 캐시 메모리 블록에서 독출 동작이 수행되고 상기 메모리 블록에서 기입 동작이 수행되며,

상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되지 않으면,

상기 선택된 메모리 블록 중 상기 기입 어드레스 및 상기 독출 어드레스에 대응되는 서로 다른 서브 메모리 블록에서 기입 동작 및 독출 동작이 수행되며,

상기 독출 동작 및 상기 기입 동작은 동시에 수행되는 것을 특징으로 하는 접적 회로.

•**첨구한 10**

제 1항에 있어서, 상기 데이터는,

단일 데이터 흐름(SDR: Single Data Rate) 또는 이중 데이터 흐름(DDR: Double Data Rate)로 입력 또는 출력되는 것을 특징으로 하는 접적 회로.

•**첨구한 11**

입출력 포트가 분리되어 있는 접적 회로에 있어서,

복수개의 서브 메모리 블록들을 각각 구비하는 메모리 블록들;

상기 각각의 메모리 블록에 대응되며, 소정의 캐시 제어 신호에 응답하여 저장된 데이터가 출력되거나 또는 데이터가 기입되는 복수개의 메모리 블록들;

상기 각각의 메모리 블록에 대응되며, 기입 어드레스 또는 독출 어드레스, 소정의 디코딩 제어 신호에 응답하여 상기 서브 메모리 블록들을 제어하는 디코딩 신호를 발생하는 복수개의 디코딩부들;

기입 선택 신호 또는 독출 선택 신호, 상기 기입 어드레스 또는 상기 독출 어드레스를 수신하고, 블록 신호의 한 주기 동안 입력되는 상기 기입 어드레스와 상기 독출 어드레스가 동일한 지에 따라 상기 데이터의 기입 동작 및 독출 동작이 동시에 수행되도록 상기 캐시 제어 신호 또는 상기 디코딩 제어 신호를 발생하는 태그 메모리 제어부를 구비하는 것을 특징으로 하는 접적 회로.

•**첨구한 12**

제 11항에 있어서, 상기 디코딩부들은 각각,

상기 서브 메모리 블록들에 대응되는 복수개의 디코딩 회로들을 구비하는 것을 특징으로 하는 접적 회로.

•**첨구한 13**

제 12항에 있어서, 상기 디코딩 회로들은,

서로 분리되어 있는 기입 어드레스 디코딩 패스 및 독출 어드레스 디코딩 패스와 연결되고,

상기 서브 메모리 블록들은,

상기 기입 어드레스 디코딩 패스와 상기 독출 어드레스 디코딩 패스에 각각 연결되는 것을 특징으로 하는 접적 회로.

•**첨구한 14**

제 11항에 있어서,

상기 기입 어드레스 및 상기 독출 어드레스가 다른 경우, 상기 각각의 기입 및 독출 어드레스에 대응되는 서로 다른 2개의 서브 메모리 블록들이 각각 디코딩 되는 것을 특징으로 하는 접적 회로.

•**첨구한 15**

제 11항에 있어서,

상기 메모리 블록 내부의 서로 다른 서브 메모리 블록들, 즉, 동일한 하위 어드레스를 가지는 메모리 셀들은 상기 캐시 메모리 블록의 하나의 메모리 셀에 대응되는 것을 특징으로 하는 접적 회로.

•**첨구한 16**

제 11항에 있어서, 상기 캐시 메모리 블록의 사이즈는,

상기 하나의 서브 메모리 블록의 사이즈와 같거나 큰 것을 특징으로 하는 접적 회로.

•**첨구한 17**

제 11항에 있어서, 상기 태그 메모리 제어부는,

상기 캐시 메모리 블록에 대응되는 상기 서브 메모리 블록의 어드레스를 나타내는 캐시 메모리 어드레스 및 상기 캐시 메모리 블록에 저장되어 있는 데이터가 유효한지를 판단하는 유효/판단 정보를 저장하는 것을 특징으로 하는 접적 회로.

•**첨구한 18**

제 17항에 있어서, 상기 태그 메모리 제어부는,

상기 서브 메모리 블록들 중 하나를 선택하는 상기 기입 어드레스의 상위 어드레스와 상기 독출 어드레스의 상위 어드레스가 서로 동일한 경우;

상기 기입 어드레스와 상기 독출 어드레스 중 어느 하나도 상기 캐시 메모리 어드레스와 동일하지 않으면 상기 디코딩 제어 신호를 발생하여 상기 독출 어드레스에 대응되는 상기 메모리 블록에서 독출 동작을 수행하고, 상기 캐시 제어 신호를 발생하여 상기 캐시 메모리 블록에서 기입 동작을 수행하며,
상기 독출 동작 및 상기 기입 동작은 동시에 수행되는 것을 특징으로 하는 집적 회로.

청구항 19

제 17항에 있어서, 상기 태그 메모리 제어부는,

상기 서브 메모리 블록들 중 하나를 선택하는 상기 기입 어드레스의 상위 어드레스와 상기 독출 어드레스의 상위 어드레스가 서로 동일한 경우;

상기 기입 어드레스 및 상기 독출 어드레스 중 하나가 상기 캐시 메모리 어드레스와 일치되면,

상기 캐시 제어 신호를 발생하여 상기 캐시 메모리 어드레스와 일치된 어드레스에 대응되는 동작을, 상기 캐시 메모리 블록에서 수행하고, 상기 디코딩 제어 신호를 발생하여 상기 캐시 메모리 어드레스와 일치되지 않은 어드레스에 대응되는 동작을 상기 메모리 블록에서 수행하며,

상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되면,

상기 캐시 제어 신호를 발생하여 상기 캐시 메모리 블록에서 독출 동작을 수행하고, 상기 디코딩 제어 신호를 발생하여 상기 메모리 블록에서 기입 동작을 수행하며,

상기 독출 동작 및 상기 기입 동작은 동시에 수행되는 것을 특징으로 하는 집적 회로.

청구항 20

제 17항에 있어서, 상기 태그 메모리 제어부는,

상기 서브 메모리 블록들 중 하나를 선택하는 상기 기입 어드레스의 상위 어드레스와 상기 독출 어드레스의 상위 어드레스가 서로 다른 경우;

상기 기입 어드레스 및 상기 독출 어드레스 중 하나가 상기 캐시 메모리 어드레스와 일치되면,

상기 캐시 제어 신호를 발생하여 상기 캐시 메모리 어드레스와 일치된 어드레스에 대응되는 동작을, 상기 캐시 메모리 블록에서 수행하고, 상기 디코딩 제어 신호를 발생하여 상기 캐시 메모리 어드레스와 일치되지 않은 어드레스에 대응되는 동작을 상기 메모리 블록에서 수행하며,

상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되면,

상기 캐시 제어 신호를 발생하여 상기 캐시 메모리 블록에서 독출 동작을 수행하고, 상기 디코딩 제어 신호를 발생하여 상기 메모리 블록에서 기입 동작을 수행하며,

상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되지 않으면,

상기 디코딩 제어 신호를 발생하여 상기 선택된 메모리 블록 중 상기 기입 어드레스 및 상기 독출 어드레스에 대응되는 서로 다른 서브 메모리 블록에서 기입 동작 및 독출 동작을 수행하며,

상기 독출 동작 및 상기 기입 동작은 동시에 수행되는 것을 특징으로 하는 집적 회로.

청구항 21

제 11항에 있어서, 상기 데이터는,

단일 데이터 익(SDR: Single Data Rate) 또는 이중 데이터 익(DDR: Double Data Rate)로 입력 또는 출력되는 것을 특징으로 하는 집적 회로.

청구항 22

입출력 포트가 분리되어 있고, 클럭 신호의 한 주기 동안 기입 어드레스와 독출 어드레스가 입력되며, 복수개의 서브 메모리 블록들을 각각 구비하는 복수개의 메모리 블록들, 상기 메모리 블록들에 대응되는 캐시 메모리 블록들을 구비하는, 집적 회로의 데이터 독출 동작과 기입 동작을 동시에 수행하는 방법에 있어서,

(a) 클럭 신호의 한 주기 동안 상기 기입 어드레스와 상기 독출 어드레스가 모두 입력되는지 상기 기입 어드레스 및 상기 독출 어드레스 중 어느 하나만 입력되는지를 판단하는 단계;

(b) 상기 기입 어드레스와 상기 독출 어드레스가 모두 입력되면, 상기 기입 어드레스와 상기 독출 어드레스의 상위 어드레스가 동일한지를 판단하는 단계;

(c) 상기 기입 어드레스의 상위 어드레스와 상기 독출 어드레스의 상위 어드레스가 동일하면, 상기 기입 어드레스와 상기 독출 어드레스가 소정의 캐시 메모리 어드레스와 동일한지를 판단하는 단계; 및

(d) 상기 기입 어드레스와 상기 독출 어드레스 중 어느 하나도 상기 캐시 메모리 어드레스와 동일하지 않으면, 상기 독출 어드레스에 대응되는 상기 메모리 블록에서 독출 동작을 수행하고, 상기 캐시 메모리 블록에서 기입 동작을 수행하는 단계를 구비하는 것을 특징으로 하는 데이터의 독출 동작과 기입 동작을 동시에 수행하는 방법.

첨구항 23

제 22항에 있어서, 상기 (d) 단계는,

- (d1)상기 캐시 메모리 블록에 저장되어 있는 데이터가 유효한지를 판단하는 단계;
- (d2)상기 캐시 메모리 블록에 저장되어 있는 데이터가 유효하지 않으면 상기 둑출 어드레스에 대응되는 상기 메모리 블록에서 둑출 동작을 수행하고, 상기 캐시 메모리 블록에서 기입 동작을 수행하는 단계;
- (d3)상기 캐시 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시키는 단계;
- (d4)상기 캐시 메모리 블록에 저장되어 있는 데이터가 유효하면 상기 둑출 어드레스에 대응되는 상기 메모리 블록에서 둑출 동작을 수행하고, 상기 캐시 메모리 블록에 저장되어 있는 유효한 데이터를 둑출하여 대응되는 메모리 블록에 기입하는 단계; 및
- (d5)상기 캐시 메모리 블록에 기입 동작을 수행하고, 상기 캐시 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시키는 단계를 구비하는 것을 특징으로 하는 데이터의 둑출 동작과 기입 동작을 동시에 수행하는 방법.

첨구항 24

제 22항에 있어서, 상기 캐시 메모리 어드레스는,

상기 캐시 메모리 블록에 대응되는 상기 서브 메모리 블록의 어드레스를 나타내는 것을 특징으로 하는 데이터의 둑출 동작과 기입 동작을 동시에 수행하는 방법.

첨구항 25

제 22항에 있어서, 상기 (c)는,

- (c1)상기 기입 어드레스 및 상기 둑출 어드레스 중 하나가 상기 캐시 메모리 어드레스와 일치되면, 상기 캐시 메모리 어드레스와 일치된 어드레스에 대응되는 동작을 상기 캐시 메모리 블록에서 수행하고, 상기 캐시 메모리 어드레스와 일치되지 않은 어드레스에 대응되는 동작을 상기 메모리 블록에서 수행하는 단계; 및
- (c2)상기 기입 어드레스 및 상기 둑출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되면, 상기 캐시 메모리 블록에서 둑출 동작을 수행하고, 상기 메모리 블록에서 기입 동작을 수행하며, 상기 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시키는 단계를 구비하는 것을 특징으로 하는 데이터의 둑출 동작과 기입 동작을 동시에 수행하는 방법.

첨구항 26

제 22항에 있어서, 상기 (b) 단계는,

- (b1)상기 기입 어드레스의 상위 어드레스와 상기 둑출 어드레스의 상위 어드레스가 동일하지 않으면 상기 기입 어드레스와 상기 둑출 어드레스가 상기 캐시 메모리 어드레스와 일치되는지를 판단하는 단계;
- (b2)상기 기입 어드레스 및 상기 둑출 어드레스 중 어느 하나가 상기 캐시 메모리 어드레스와 일치되면, 상기 캐시 메모리 어드레스와 일치된 어드레스에 대응되는 동작을 상기 캐시 메모리 블록에서 수행하고, 상기 캐시 메모리 어드레스와 일치되지 않은 어드레스에 대응되는 동작을 상기 메모리 블록에서 수행하는 단계;
- (b3)상기 기입 어드레스 및 상기 둑출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되면, 상기 캐시 메모리 블록에서 둑출 동작을 수행하고, 상기 메모리 블록에서 기입 동작을 수행한 후, 상기 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시키는 단계; 및
- (b4)상기 기입 어드레스 및 상기 둑출 어드레스가 모두 상기 캐시 메모리 어드레스와 일치되지 않으면, 상기 선택된 메모리 블록 중 상기 기입 어드레스 및 상기 둑출 어드레스에 대응되는 서로 다른 서브 메모리 블록에서 기입 동작 및 둑출 동작을 수행하는 단계를 구비하는 것을 특징으로 하는 데이터의 둑출 동작과 기입 동작을 동시에 수행하는 방법.

첨구항 27

제 22항에 있어서, 상기 (a) 단계는,

- (a1)상기 기입 어드레스 및 상기 둑출 어드레스 중 어느 하나만 입력되면 입력된 상기 기입 어드레스 및 상기 둑출 어드레스 중 어느 하나가 상기 캐시 메모리 어드레스와 일치되는지를 판단하는 단계;
- (a2)입력된 상기 기입 어드레스 또는 상기 둑출 어드레스가 상기 캐시 메모리 어드레스와 일치되면, 상기 캐시 메모리 어드레스와 일치된 기입 어드레스 또는 둑출 어드레스에 대응되는 동작을 상기 캐시 메모리 블록에서 수행하는 단계; 및
- (a3)입력된 상기 기입 어드레스 또는 상기 둑출 어드레스가 상기 캐시 메모리 어드레스와 일치되지 않으면, 상기 캐시 메모리 어드레스와 일치되지 않은 기입 어드레스 또는 둑출 어드레스에 대응되는 동작을 상기 캐시 메모리 블록에서 수행하는 단계를 구비하는 것을 특징으로 하는 데이터의 둑출 동작과 기입 동작을 동시에 수행하는 방법.

첨구항 28

제 22항에 있어서,

상기 메모리 블록 내부의 서로 다른 서브 메모리 블록들 중 동일한 하위 어드레스를 가지는 메모리 셀들을 상기 캐시 메모리 블록의 하나의 메모리 챕에 대응되는 것을 특징으로 하는 데이터의 독출·동작과 기입 동작을 동시에 수행하는 방법.

청구항 29

제 22항에 있어서, 상기 캐시 메모리 블록의 사이즈는,

상기 하나의 서브 메모리 블록의 사이즈와 같거나 큰 것을 특징으로 하는 데이터의 독출·동작과 기입 동작을 동시에 수행하는 방법.

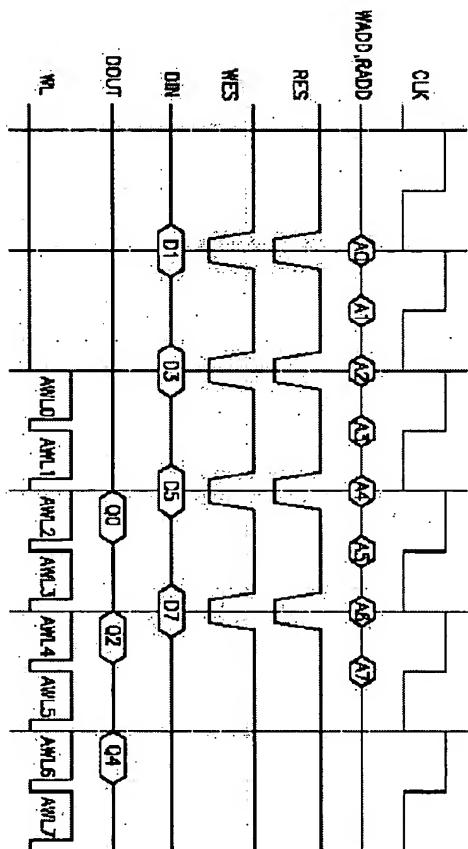
청구항 30

제 22항에 있어서, 상기 데이터는,

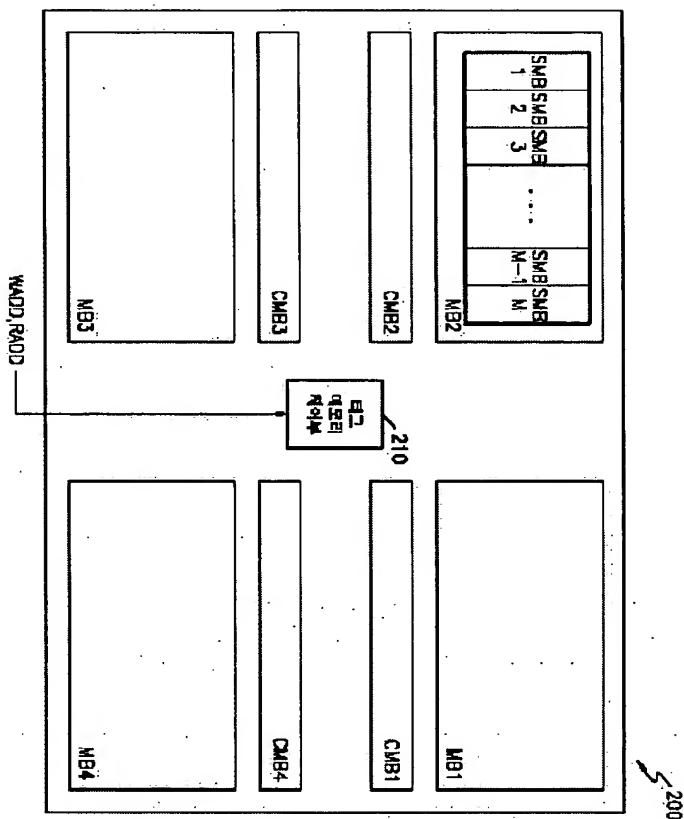
단일 데이터 릴(SDR: Single Data Rate) 또는 이중 데이터 릴(DDR: Double Data Rate)로 입력 또는 출력되는 것을 특징으로 하는 데이터의 독출·동작과 기입 동작을 동시에 수행하는 방법.

도면

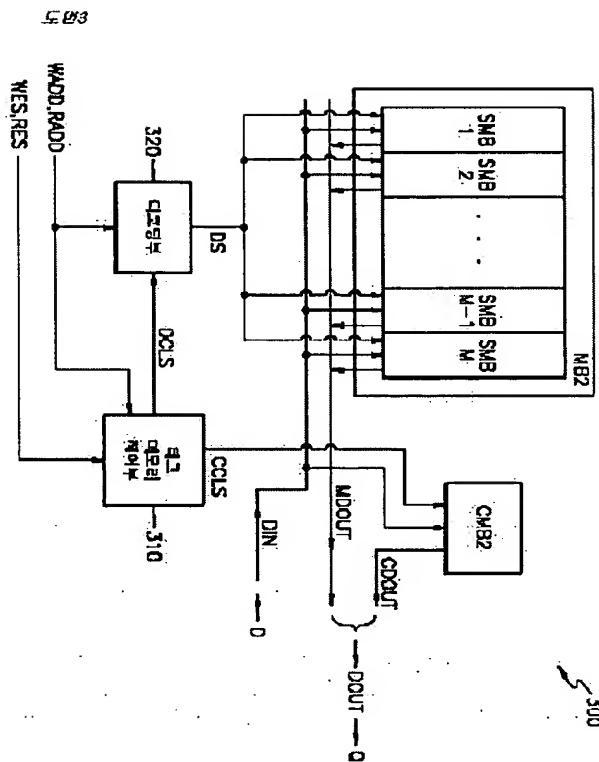
도면 1



202



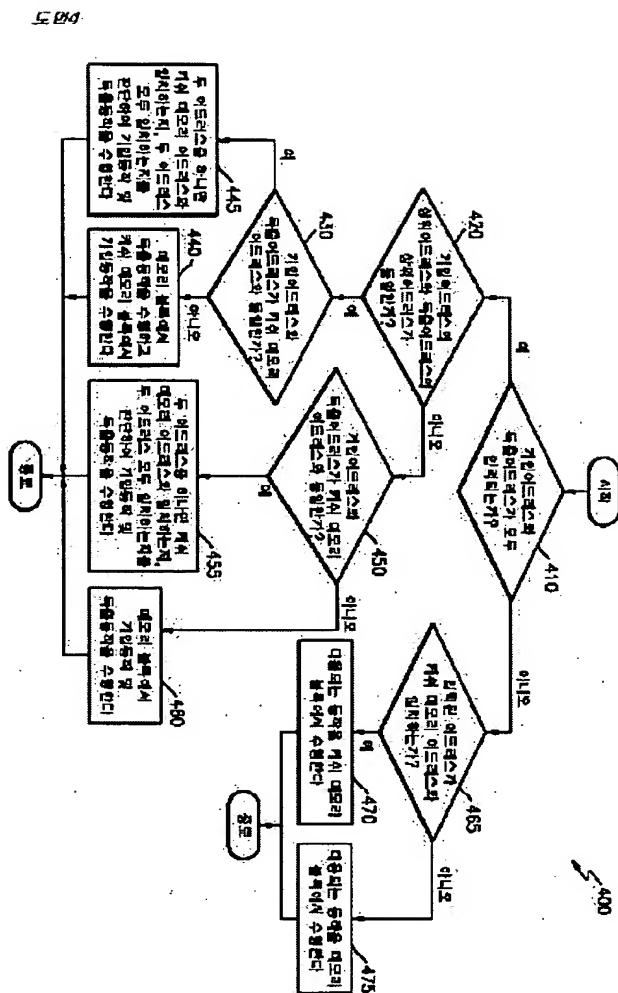
19-14



19-15

[첨부그림 16]

10-2004-0036477

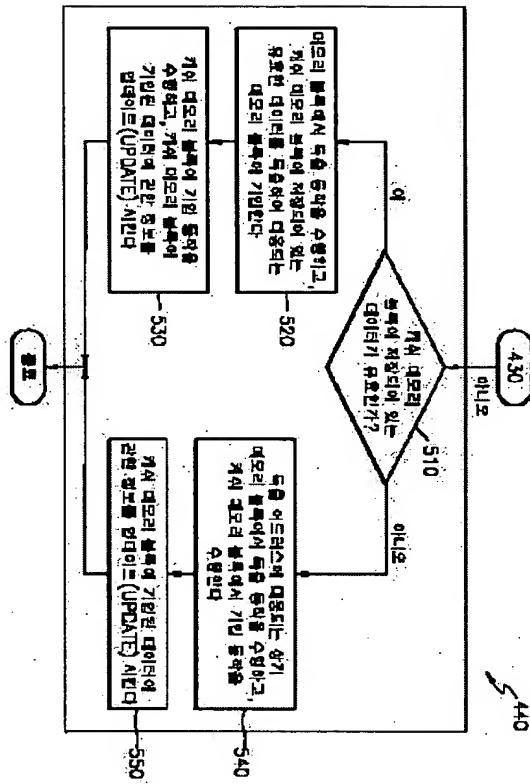


19-16

[첨부그림 17]

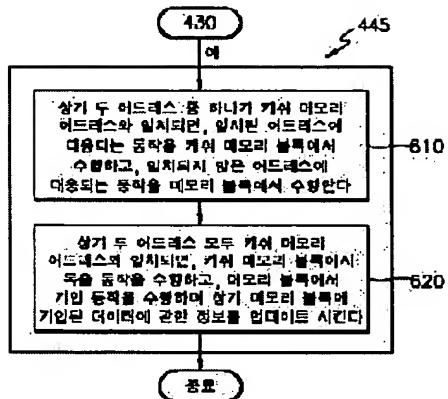
10-2004-0036477

도 85

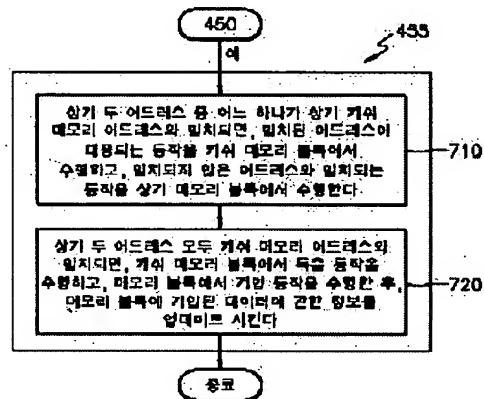


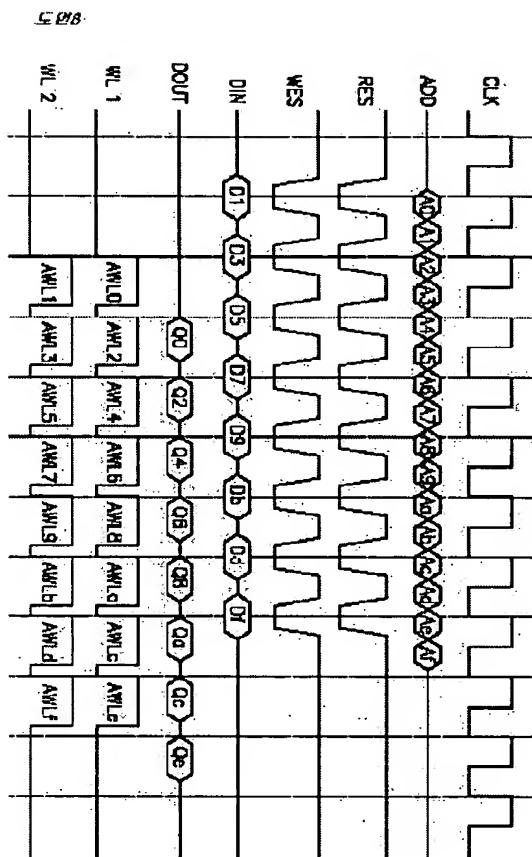
19-17

도 08



도 07





19-19